

**PATENT ABSTRACTS OF JAPAN**

(11)Publication number : 11-150343

(43)Date of publication of application : 02.06.1999

(51)Int.Cl.

H05K 1/02  
H05K 9/00

(21)Application number : 09-317238

(71)Applicant : ADVANTEST CORP

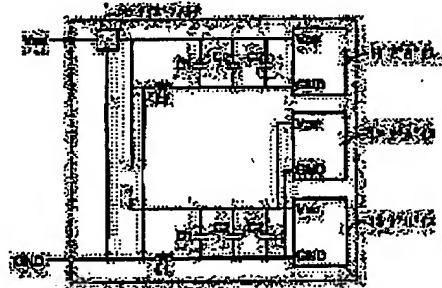
(22)Date of filing : 18.11.1997

(72)Inventor : SHIMAWAKI KAZUHIRO

**(54) NOISE INHIBITING CIRCUIT AND PRINTED WIRING BOARD THEREOF****(57)Abstract:**

**PROBLEM TO BE SOLVED:** To provide a noise inhibiting circuit, which can inhibit high-frequency noise even if a high switching current is made to flow through a power circuit and the high-frequency noise is generated in a power line, and the printed wiring board of the inhibiting circuit.

**SOLUTION:** In a noise inhibiting circuit of a structure, wherein a noise filter 20 is provided on a power supply side line to supply a power supply to devices 11 to 13 and capacitors C1 and C2 for device use are provided between the power supply sides of the devices and the GND, a filter means to inhibit high-frequency noise, which is generated when the above devices are switched, is provided on a GND side line.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

<http://www19.jpdl.ncipi.go.jp/PA1/result/detail/main/wAAA1a4EODA411150343P...> 2005/06/23

(19)日本国特許庁 (J P) (12) 公開特許公報 (A) (11)特許出願公開番号  
特開平11-150343  
(43)公開日 平成11年(1999)6月2日

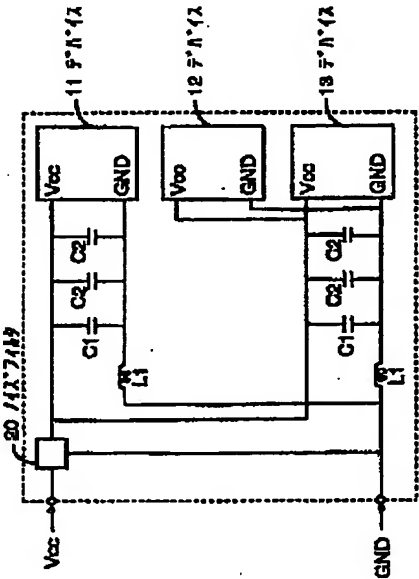
(51)IntCl. <sup>4</sup>	識別記号	FI	
H06K 1/02		H05K 1/02	P
			N
9/00		9/00	R

審査請求 未請求 請求項の数 3 OL (全 7 頁)

(21)出願番号	特願平9-317238	(71)出願人	390005175 株式会社アドバンテスト 東京都練馬区旭町1丁目32番1号
(22)出願日	平成9年(1997)11月18日	(72)発明者	島脇 多広 東京都練馬区旭町1丁目32番1号 株式会 社アドバンテスト内

(54)【発明の名称】 ノイズ抑制回路とそのプリント配線板

(57)【要約】  
【課題】 本発明は、電源回路に大きなスイッチング電流が流れて高周波のノイズが電源ラインに発生しても、ノイズを抑制できるノイズ抑制回路とそのプリント配線板を提供する。  
【解決手段】 デバイスに電源を供給する電源側ラインにノイズフィルタを設け、デバイスの電源側とGND間とにバイパス用のコンデンサを設けたノイズ抑制回路において、前記デバイスのスイッチング時に発生する高周波ノイズを抑制するフィルタ手段をGND側ラインに具備した解決手段。



(2)

特開平11-150343

1

2

## 【特許請求の範囲】

【請求項1】 デバイスに電源を供給する電源ラインにフィルタ手段を設け、デバイスの電源側とGND間とにバイパス用のコンデンサを設けたノイズ抑制回路において、

前記デバイスのスイッチング時に発生する高周波ノイズを抑制するフィルタ手段をGND側ラインに具備したノイズ抑制回路。

【請求項2】 実装されるデバイスに電源を供給するプリント配線板において、

該プリント配線板に共通使用される共通電源パターンと、

該共通電源パターンから分離して設けた分離電源パターンと、

前記プリント配線板に共通使用される共通GNDパターンと、

該共通GNDパターンから分離して設けた分離GNDパターンと、

を具備して分離電源パターンからデバイスの電源パッドに接続し、分離GNDパターンからデバイスのGNDパッドに接続していることを特徴としたプリント配線板。

【請求項3】 共通GNDパターンと分離GNDパターン間とにノイズフィルタとなるパターンを設けた請求項2記載のプリント配線板。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電源回路に発生するノイズを抑制するノイズ抑制回路とそのプリント配線板に関する。

【0002】

【従来の技術】従来の例について、図4～図7を参照して説明する。最初に、ノイズ抑制回路について説明する。図4に示すように、従来のノイズ抑制回路は、各デバイス11毎または複数のデバイス12、13毎に、低周波でのインピーダンスが低く容量の大きいコンデンサC1と、高周波でインピーダンスが低く容量の少ないコンデンサC2とを、デバイスの電源ライン例えばVccと、グラウンドライン間とに挿入している。

【0003】例えば、コンデンサC1の容量は0.1μFであり、コンデンサC2の容量は1000pFである。そして、デバイス11側から電源をみた低周波から高周波までのインピーダンスを低くし、ノイズをコンデンサC1、C2へバイパスして、電源回路に発生するノイズを抑制している。

【0004】プリント配線板に実装されるデバイス11が多くても、各デバイスに流れる電流が同じタイミングでなければ、上記コンデンサC1、C2による方法でも電源ノイズによる誤動作は防止できた。

【0005】しかし、プリント配線板に実装された多数の同一のデバイスが同じタイミングで動作する場合は、

電源に大きなスイッチング電流が流れて高周波のノイズが発生し、周辺回路に対する誤動作の原因となる。

【0006】例えば、多数の同一のデバイスを同じタイミングで動作させる例として、100nsのメモリを4段のインターリーブ動作させて25nsの高速度動作させる場合がある。この場合、メモリ容量は1/4になるので、実際に必要な容量の4倍のメモリ容量が必要となる。

【0007】従って、大容量でかつ高速化をはかると、1枚のプリント配線板に実装されるメモリの数が増大してスイッチング電流も増加する。

【0008】例えば、1枚のプリント配線板にメモリのSRAM(32K×8ビット)を32個実装して、同一論理で同時スイッチングしたとき1個当たり0.4Aとすると、12.8Aの大きなスイッチング電流が流れる。

【0009】そして、大きなスイッチング電流による電源ノイズとしては、例えば300MHzの高周波成分のノイズを含む場合もある。このため、300MHzの高周波ノイズは、電源のコンデンサC2では高周波でのインピーダンスが十分低くならず、高周波ノイズが電源回路にのってしまい他の回路に誤動作の影響がでてしまう。

【0010】そこで、図5に示すように、電源ノイズをさらに抑制するために、電源Vccのラインにノイズフィルタ20を挿入したり、高周波におけるインピーダンスの低いコンデンサC2をパラレルに接続して、高周波でのインピーダンスをさらに下げているが、高周波の電源ノイズを十分抑制できない。ここで、ノイズフィルタ20は、コイルとコンデンサとで構成されたT型やπ型のフィルタ手段、またはフェライト若しくはコイル等を用いたフィルタ手段である。

【0011】ところで、ノイズ抑制回路として、1個のデバイス11にバイパス用のコンデンサC1、C2を付加した例で説明したが、デバイス12、13のように複数のデバイス共通にバイパス用のコンデンサC1、C2を付加して部品点数を少なくする場合も同様である。

【0012】次に、デバイスが1個のノイズ抑制回路を実装したプリント配線板について、図6と図7とを参照して説明する。

【0013】図6と図7とに示すように、プリント配線板70は、配線パターンと、各部品を表面実装するためのパッド61と、内層の電源パターンやGNDパターンに層間接続するビアホール60とが設けられている。そして、デバイス11と、ノイズフィルタ20と、コンデンサC1、C2とはプリント配線板70の各パッド61にそれぞれ表面実装されている。

【0014】また、プリント配線板の電源の共通Vccパターン40と共通GNDパターン50とはベタパターンとして、電源回路のインピーダンスをできるだけ低く

(3)

特開平11-150343

3

4

なるようにしている。

【0015】そして、図7に示すように、電源のVccパターン30とノイズフィルタ20との一端がパッド61を介して接続され、ノイズフィルタ20の他端はパッド61とバイアホール80とを介して共通Vccパターン40に接続される。

【0016】さらに、デバイス11のVccピン側とGNDピン側とは、それぞれパッド61とバイアホール80とを介して共通Vccパターン40と、共通GNDパターン50とに接続される。

【0017】また、図7の断面図には示していないが、コンデンサC1、C2とのVccピン側とGNDピン側とは、それぞれパッド61とバイアホール80とを介して共通Vccパターン40と、共通GNDパターン50とに接続される。

【0018】上記説明のように、電源に発生するノイズの抑制は、ノイズ抑制回路とそのプリント配線板とで実施している。しかし、多数の同一のデバイスが同じタイミングで動作する場合は、電源回路に大きなスイッチング電流が流れて高周波のノイズが発生して、電源ノイズを十分抑制できなくなり他の回路が誤動作することがある。

【0019】

【発明が解決しようとする課題】上記説明のように、多数の同一のデバイスが同じタイミングで動作する場合は、電源回路に大きなスイッチング電流が流れて高周波のノイズが発生して、電源ノイズを十分抑制できなくなり、他の回路が誤動作する場合があります。そこで、本発明は、こうした問題に鑑みなされたもので、その目的は、電源回路に大きなスイッチング電流が流れて高周波のノイズが発生してもノイズを十分抑制できるノイズ抑制回路とそのプリント配線板を提供することにある。

【0020】

【課題を解決するための手段】即ち、上記目的を達成するためになされた本発明の第1は、デバイスに電源を供給する電源側ラインにフィルタ手段を設け、デバイスの電源側とGND間とにバイパス用のコンデンサを設けたノイズ抑制回路において、前記デバイスのスイッチング時に発生する高周波ノイズを抑制するフィルタ手段をGND側ラインに具備したノイズ抑制回路を要旨としている。

【0021】また、上記目的を達成するためになされた本発明の第2は、実装されるデバイスに電源を供給するプリント配線板において、該プリント配線板に共通使用される共通電源パターンと、該共通電源パターンから分離して設けた分離電源パターンと、前記プリント配線板に共通使用される共通GNDパターンと、該共通GNDパターンから分離して設けた分離GNDパターンと、を具備して分離電源パターンからデバイスの電源パ

ッドに接続し、分離GNDパターンからデバイスのGNDパッドに接続していることを特徴としたプリント配線板を要旨としている。

【0022】さらに、上記目的を達成するためになされた本発明の第3は、共通GNDパターンと分離GNDパターン間とにフィルタ手段となるパターンを設けた本発明の第2記載のプリント配線板を要旨としている。

【0023】

【発明の実施の形態】本発明の実施の形態は、下記の実施例において説明する。

【0024】

【実施例】本発明の実施例について、図1～図3を参照して説明する。最初に、ノイズ抑制回路について説明する。図1に示すように、本発明のノイズ抑制回路は、Vccラインにノイズフィルタ20を挿入し、各デバイス11毎にまたは複数のデバイス12、13毎に、低周波でのインピーダンスが低く容量の大きいコンデンサC1と、高周波でインピーダンスが低く容量の少ない複数のコンデンサC2とをデバイスの電源ライン例えばVccと、グラウンドライン間に挿入した従来回路に、GNDラインにコイルL1を追加した回路としている。

【0025】コンデンサC1、C2と、ノイズフィルタ20とは、従来と同じであるので説明を省略する。

【0026】デバイス11毎に、または複数のデバイス12とデバイス13毎に、GNDラインに追加したコイルL1は、デバイスが同時動作したとき、電源回路に発生する高周波ノイズを抑制する働きをする。コイルL1のインダクタンスの大きさは、プリント配線板に搭載するデバイスを同時スイッチング動作したとき発生する高周波ノイズの周波数成分により決定する。

【0027】例えば、プリント配線板のパターンでコイルL1を形成する場合、300MHzの高周波ノイズ成分に対して、幅1mmで長さ15mmのパターンを形成する。また、フィルタ手段としてのコイルL1は、一般のノイズフィルタでもよいし、コイルL1の簡単な例としては、パッド間にジャンパ線で設けて、ノイズ成分に対応して長さ調整することによりインダクタンスの調整をしやすくしてもよい。

【0028】次に、デバイス11を1個実装した場合のプリント配線板について、図2と図3とを参照して説明する。

【0029】図2と図3とに示すように、従来と同様プリント配線板70は、表面に配線パターンと各部品を表面実装するためのパッド61と、内層の電源パターンやGNDパターンに層間接続するバイアホール80とが設けられている。

【0030】そして、プリント配線板の電源の共通Vccパターン40と共通GNDパターン50とは、デバイス11毎に、分離Vccパターン41と分離GNDパターン51とを設ける。また、デバイス11と、ノイズフ

(4)

特開平11-150349

5

フィルタ20と、コンデンサC1、C2とはプリント配線板70の表面の各パッド61に表面実装されている。

【0031】そして、電源の共通Vccパターン40とノイズフィルタ20の一端とはパッド61とバイアホール60とを介して接続され、ノイズフィルタ20の他端はパッド61とバイアホール60とを介して分離Vccパターン41に接続される。

【0032】また、共通GNDパターン50とコイルのL1パターン52の一端とはパッド61とバイアホール60とを介して接続され、コイルのL1パターン52の他端はパッド61とバイアホール60とを介して、分離GNDパターン51に接続される。

【0033】さらに、デバイス11のVccピン側とGNDピン側とは、それぞれパッド61とバイアホール60とを介して、分離Vccパターン41と、分離GNDパターン51とに接続される。また、図3の断面図には示していないがコンデンサC1、C2のVccピン側とGNDピン側とは、それぞれパッド61とバイアホール60とを介して、分離Vccパターン41と、分離GNDパターン51とに接続される。

【0034】上記説明のように、電源パターンとGNDパターンとを、それぞれ共通パターンから分離した分離パターンを設け、一方はノイズフィルタで接続し、他方はコイルで接続してデバイス側からみた電源とGNDの高周波インピーダンスが高くなり、バイパス用のコンデンサC1、C2が有効に働いて高周波ノイズを抑制している。また、分離パターンとすることにより形状を小さくすることができるので、高周波での共振を避けやすくなる。

【0035】よって、多数の同一のデバイスが同じタイミングで動作する場合に、電源回路に大きなスイッチング電流が流れ高周波のノイズが発生しても、電源ノイズを十分抑制でき、他の回路が誤動作することを防止できる。

【0036】ところで、図3のプリント配線板の断面図は、わかりやすくするためにプリント配線板の板厚を拡大して図示しているが、実際の板厚は1.6mm程度であり、コイルL1のパターンに対してバイアホール60のインダクタンスは無視できる。

【0037】また、実施例の電源はVccとGNDとして説明したが、他の電源においても同様に実施できる。

6

【0038】さらに、バイパス用のコンデンサに接続されるデバイスは、1個の場合で図示したが、デバイスの数は2個以上であっても、複数のデバイスごとに、分離Vccパターンと分離GNDパターンとを設けることで同様に実施できる。

【0039】

【発明の効果】本発明は、以上説明したような形態で実施され、以下に記載されるような効果を奏する。即ち、高周波ノイズに対して、ノイズフィルタや低容量のコンデンサを追加しただけでは、高周波成分のノイズの抑制が十分でなかったが、電源のGNDラインにフィルタ手段を挿入したことによりバイパスコンデンサが有効に働き、他の回路が誤動作するのを防止できるノイズ抑制回路が実現できた。また、電源とGNDのパターンを共通パターンと分離パターンとに分けたことにより、高周波での共振が避けやすくなり、高周波成分のノイズの抑制が十分働くプリント配線板となる。

【図面の簡単な説明】

【図1】本発明のノイズ抑制回路である。

【図2】本発明のノイズ抑制回路を実装したプリント配線板の外観図である。

【図3】本発明のノイズ抑制回路を実装したプリント配線板の図2のA-A断面図である。

【図4】従来のノイズ抑制回路である。

【図5】従来の改善したノイズ抑制回路である。

【図6】従来のノイズ抑制回路を実装したプリント配線板の外観図である。

【図7】従来のノイズ抑制回路を実装したプリント配線板の図6のB-B断面図である。

【符号の説明】

11、12、13 デバイス

20 ノイズフィルタ

30 Vccパターン

40 共通Vccパターン

41 分離Vccパターン

50 共通GNDパターン

51 分離GNDパターン

52 L1パターン

60 バイアホール

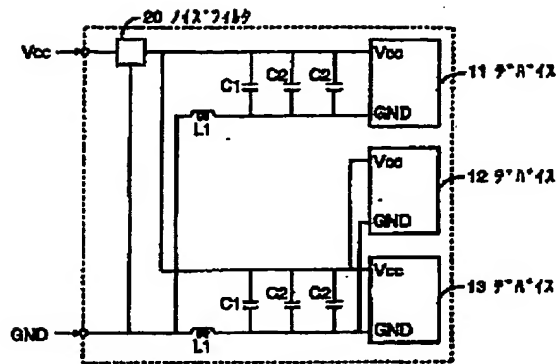
61 パッド

70 プリント配線板

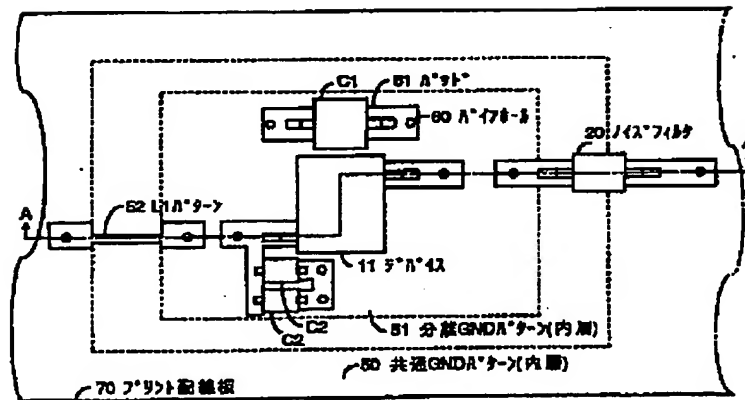
(5)

特開平11-150343

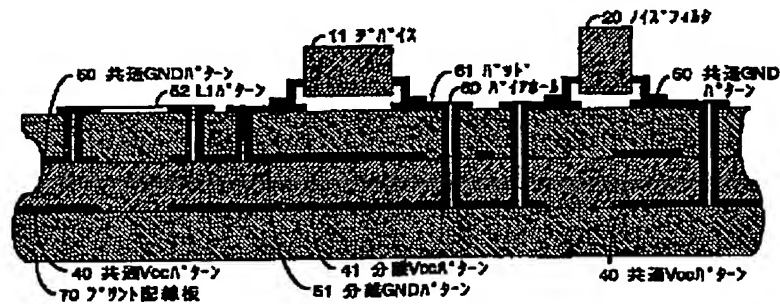
【図1】



【図2】



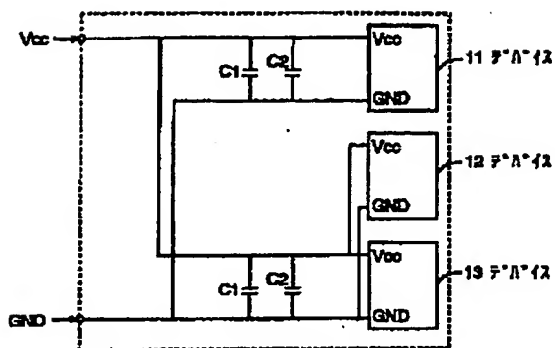
【図3】



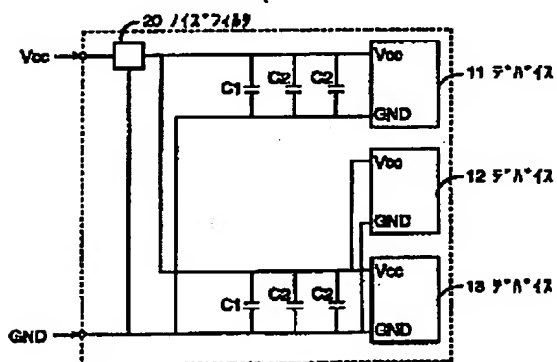
(6)

特開平11-150343

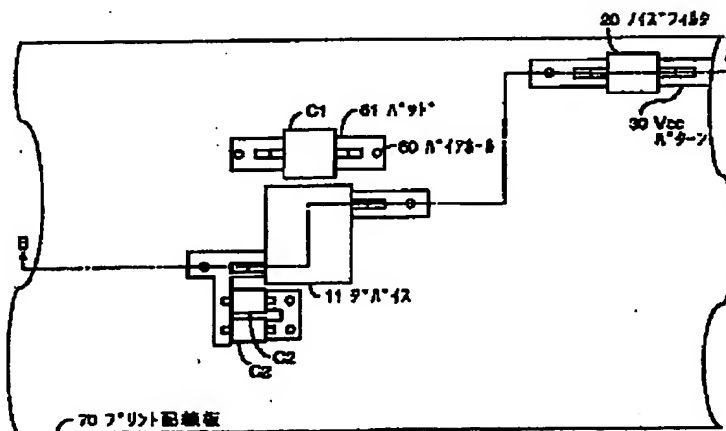
【図4】



【図5】



【図6】



(7)

特開平11-150343

【図7】

